

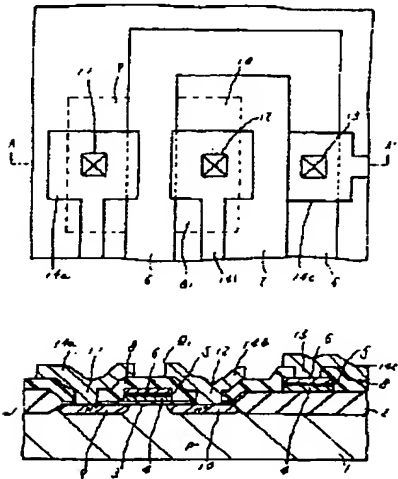
JP60123060 A
SEMICONDUCTOR DEVICE
HITACHI LTD

Inventor(s): ;TANIGAKI YUKIO

Application No. 58229912 JP58229912 JP, Filed 19831207,A1 Published 19850701

Abstract: PURPOSE: To realize a metal gate semiconductor device, which has excellent element characteristics and can be operated at high speed, by holding a conductive material such as titanium nitride between a high melting-point metallic layer and a polycrystalline silicon layer and forming three layers.

CONSTITUTION: With a gate for an MISFETQ₁, a polycrystalline silicon layer 4 is formed to a lower layer and a molybdenum layer 6 to an upper layer in thickness of approximately 2,000□3,000□ respectively, and a thin titanium nitride layer in approximately 500□ is held between the polycrystalline silicon layer 4 and the molybdenum layer 6 in a sandwich shape. Titanium nitride is a thermally and chemically extremely stable metal, and has not a poroperty of which it reacts with molybdenum and polycrystalline silicon. Consequently, boundary surfaces between the titanium nitride layer and the molybdenum layer and between the titanium nitride layer and the polycrystalline silicon layer are stabilized. Accordingly, the gate is stabilized electrically, and can be brought into ohmic- contact with an silicon substrate easily.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-123060

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)7月1日

H 01 L 29/46
// H 01 L 29/78

7638-5F
8422-5F

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭58-229912

⑰ 出 願 昭58(1983)12月7日

⑱ 発 明 者 谷 垣 幸 男 小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑳ 代 理 人 弁理士 高橋 明夫 外1名

明 細 書

発明の名称 半導体装置

特許請求の範囲

1. 多結晶シリコン層と、多結晶シリコン層上の窒化チタン層と窒素チタン層の高融点金属層とからなる配線を有する半導体装置。
2. 前記高融点金属はモリブデンであることを特徴とする特許請求の範囲第1項記載の半導体装置。

発明の詳細な説明

〔技術分野〕

本発明は半導体装置にかかわり、特に高融点金属を有する絶縁ゲート型電界効果トランジスタ

(以下、MISFETと称する)に適用して有効な技術に関するものである。

〔背景技術〕

MISFETの分野では、高速化を実現するために、ゲート電極、及びゲート電極からのびる配線(これらを総称して以下配線と呼ぶ)の抵抗を十分小さくすることが有効である。配線を低抵抗化する方法として、金属、たとえば、モリブデン

(Mo)やタングステン(W)等の高融点金属を用いる技術が、たとえば、日経エレクトロニクス1980年11月24日号第82頁に知られている。これは、Moを単層で形成し、配線の抵抗を下げるものである。

しかし、このような構造では、Moと下地の酸化シリコン(SiO₂)からなるゲート絶縁膜の界面の物理的特性が不均一になり、素子特性が悪化する。この欠点を補う方法として、多結晶シリコンを下層、Mo層を上層と2層に配線を形成することも考えられる。しかしながら、かかる構造の技術では、以下のような欠点を有することを本発明者は発見した。

(1) Moはシリコン(Si)と反応し易い性質を有しているため、高温熱処理により、ゲートとして形成したMoと多結晶シリコンとが激しく反応し両層の界面にモリブデンシリサイド(MoSi)が不規則に形成され、素子特性が悪化する。

(2) Moは、緻密な構造を有しないため、Mo膜中に存在する酸素がMo層と多結晶シリコン層と

の界面に折出して、 SiO_2 が形成される。このため、 Mo 層と多結晶シリコン層との接触抵抗が異常に増加してしまい、配線として欠点の多いものとなる。

〔発明の目的〕

本発明の目的は、良好な素子特性を有するメタルゲート半導体装置を実現する技術を提供することにある。

本発明の他の目的は、高速度動作可能な半導体装置を提供するものである。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および、添付図面からあきらかになるであろう。

〔発明の概要〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。

すなわち、高融点金属層と多結晶シリコン層により構成される配線において、高融点金属層と多結晶シリコン層との間に窒化チタン (TiN) 等の熱的、化学的に安定した導電性材料をはさみ3層

からなるゲート絶縁膜である。活性化領域には、ソース・ドレインを形成する n^+ 型拡散領域 9、10 が存在する。MISFET Q_1 は、本発明によって形成されたゲートを有し、下層に多結晶シリコン層 4、上層にモリブデン (Mo) 層 6 が、夫々 2000~3000 Å 程度の厚みを持って存在し、多結晶シリコン層 4 とモリブデン層 6 との間に薄い約 500 Å 程度の窒化チタン層 (TiN) がサイドウィッチ状にはさみこまれている。窒化チタンは、熱的、化学的に非常に安定した金属であり、さらにモリブデン (Mo) や多結晶シリコンと反応する性質はない。従って、窒化チタン (TiN) 層とモリブデン層、及び、窒化チタン (TiN) 層と多結晶シリコン層との境界面は安定する。従ってゲートは電氣的に安定し、シリコン基板とのオーミックコンタクトは、容易に行なうことができる。このゲートは、活性領域から延在し、フィールド絶縁膜上にも存在する。第2図において、左側のゲート電極は、活性領域上に、右側の配線は、フィールド絶縁膜上に形成されてある。このように

とすることにより、各導体層表面を安定化させ、良好な金属配線を実現するものである。

〔実施例〕

以下、本発明を具体的実施例に基づいて説明する。

第1図は本発明者によってなされたメタルゲート半導体装置の平面図、第2図は、第1図の A-A' 線に沿った断面図、第3図~第4図は、本発明の製造工程を順に示す、第1図 A-A' 線に沿った断面図である。

第1図、および、第2図において、MISFET Q_1 が図の中央に形成されて、そこから延びるゲートは、第1図の周辺を回るように形成されてある。ゲートは、酸化シリコン (SiO_2) からなるフィールド絶縁膜上で、第1層目のアルミニウム配線とオーミックコンタクト 13 を形成している。

1は p^- 型半導体基板、2は個々の MISFET を絶縁するための酸化シリコン (SiO_2) からなるフィールド絶縁膜、3は酸化シリコン (SiO_2)

ゲートを多結晶シリコンを含む構造にすることにより、下層の多結晶シリコンが、ソース・ドレイン形成のためのシリコン基板へ不純物導入時のストッパーとなり、チャネル領域に無駄な不純物を取り込むことなく、安定した素子特性を得ることもできる。また、ゲート絶縁膜上には、高純度の多結晶シリコンを形成するため、シリコン基板とのフェルミレベルの差を一定に保つことが出来、素子特性が安定する。また、多結晶シリコンは、気相化学反応法 (以下、CVD 法と称する) により形成するため、段差部分でゲートにくびれが生じない。

8は、ゲートや他の素子を保護するリンシリケートガラス膜 (以下、PSG 膜と称する) からなる第1パッシベーション膜であり、14a、14b、14cは、第1アルミニウム配線である。

以下、本発明による製造方法を、第3図~第5図を用いて説明する。

まず、P型シリコン基板1表面に、選択的に酸化シリコン膜を形成し熱酸化を行なうことにより、

酸化シリコン (SiO_2) から成るフィールド絶縁膜を形成する。さらに、活性領域表面に、清浄な酸化シリコン (SiO_2) からなる薄いゲート酸化膜 3 を形成する。

次に、全面に、多結晶シリコン膜 4 を、例えば、低圧 CVD 法により形成し、しかる後に、リン (P) などの不純物を拡散して、その多結晶シリコン膜 4 を低抵抗体にする。この場合、CVD 法によって形成された多結晶シリコン膜 4 は、段差を有する部分で、段差くびれなく平坦に形成されるので、ゲートの段差抵抗を小さくすることができる。次いで例えば、スパッタリング法により、全面に窒化チタン (TiN) 膜 5 を形成する。さらに続いて、例えば、スパッタリング法によって、モリブデン (Mo) 膜 6 を全面に形成する。この後、ホットエッチング技術を用いて形成したモリブデン (Mo) - 窒化チタン (TiN) - 多結晶シリコン膜を順次エッチングし、ゲート電極パターン、および、必要に応じたゲート電極から延びる配線パターンを形成する。このモリブデン (Mo) 膜 6、窒化

チタン (TiN) 膜 5、多結晶シリコン膜 4 形成過程で、窒化チタン (TiN) 膜 5 は、熱的、化学的に安定なため、夫々の境界面において、素子特性を悪化させる反応膜たとえば、酸化シリコン膜を形成することはない。次に、ゲート 8 をマスクとして、ヒ素 (As) やリン (P) などの不純物イオンを打込み、イオン打込み層 7 を第 4 図の如く形成する。なお、このイオン打込み以前に、ゲート側面に酸化シリコン (SiO_2) から成るサイドウォールを形成しても本発明の要旨を変更するものでないことは、言うまでもない。

第 5 図に示すように、全面に層間絶縁膜、例えば CVD 法により、リンシリケートガラス (PSG) 膜 8 を形成する。続いて、熱処理を行ない前記のイオン打込みされた不純物を活性化し、 n^+ 型ソース層、およびドレイン層 9、10 を形成する。

次いで第 2 図に示すように、ホットエッチング技術を用いてソース、およびドレイン上にコンタクトホール 11、12 および、多層配線用のコンタクトホール 13 を設ける。そして、全面に例えば、

スパッタリング法により、アルミニウム (Al) 膜を形成した後、ホットエッチング技術を用いて、各々の配線パターン 14a、14b、14c を形成する。このあと、素子保護のためのファイナルパッシベーション膜を形成して本発明による半導体装置を完成する。

〔効果〕

- (1) 熱的に非常に安定した導電性材料、例えば、窒化チタン等をはさんでいるため、高温熱処理を行なった場合にも、モリブデン (Mo) と多結晶シリコンが反応して、界面にモリブデンサイド (MoSi_2) や、酸化シリコン (SiO_2) などが形成される心配がなく、良好な界面を得ることが出来る。従って、安定した素子特性を得ることができる。
- (2) (1) により、シリコン基板とゲートをオーミックコンタクトをとる場合、酸化シリコン (SiO_2) 等がゲートに介在することなく、良好なオーミックコンタクトを得ることができる。
- (3) ゲートの下層に形成する多結晶シリコン層が、

ソース・ドレイン形成の際に打ち込む不純物イオンのストッパーとなり、チャンネル領域に不必要な不純物を導入することなく、良好な素子特性を得ることができる。

(4) CVD 法によってゲート下層の多結晶シリコン層を形成するため、ゲートを形成する領域に段差がある場合、段差でくびれてゲートが形成されることなく、なだらかに形成され、段差抵抗を下げることができる。

(5) $30 \Omega/\square$ 程度の抵抗を有する多結晶シリコンのみをゲートに用いた場合に比べて、モリブデンは、 $0.5 \Omega/\square$ と抵抗が小さく、従って素子動作の高速化、および、高集積化を達成することができる。

以上、本発明者によってなされた発明を実施例に基づき説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。たとえば、モリブデン (Mo) に変えて他の高融点金属例えばタングステン (W)、チタン (Ti)、タ

ンタル (Ta) を使用しても、上述と同様な効果を得ることができる。また、実施例では、Nチャネル型半導体装置を用いたが、Pチャネル型半導体装置を用いても、同様な効果を得ることができる。また、第1パッシベーション膜8としてリンシリケートガラス (PSG) 膜を用いたが、酸化シリコン (SiO_2) 膜を使用しても良い。さらにまた、ソース・ドレイン領域に、シリサイド電極を形成した場合も、本発明は有効である。又、TINに限らず、多結晶シリコン及び高融点金属と安定な界面を有する金属であれば、他の使用も考えられる。この場合も同様な効果を得ることができる。

図面の簡単な説明

第1図は、本発明の一実施例によるメタルゲートICの平面図、

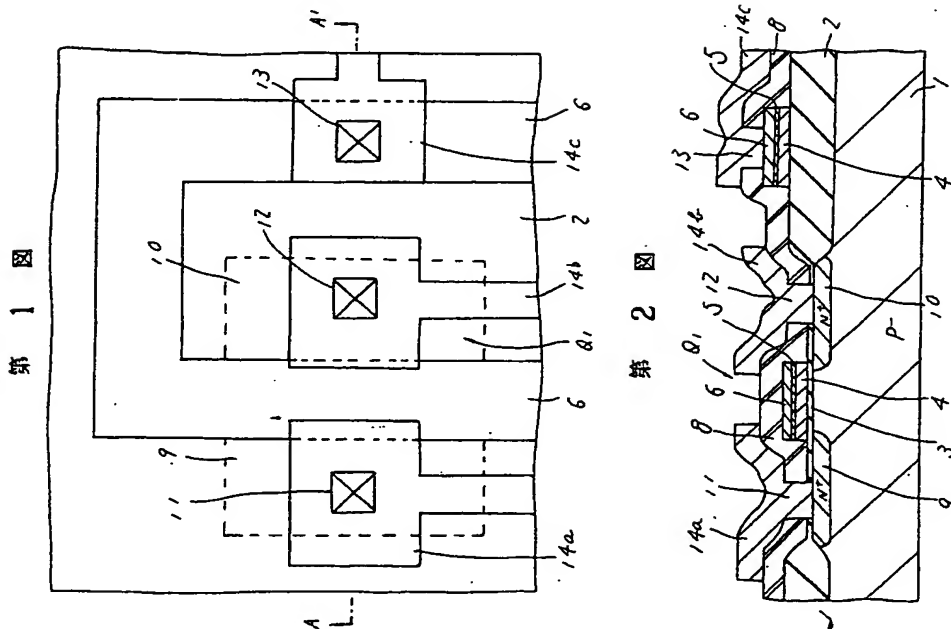
第2図は、第1図のA-A'線に沿った断面図、

第3図～第5図は、製造工程を順に示した断面図である。

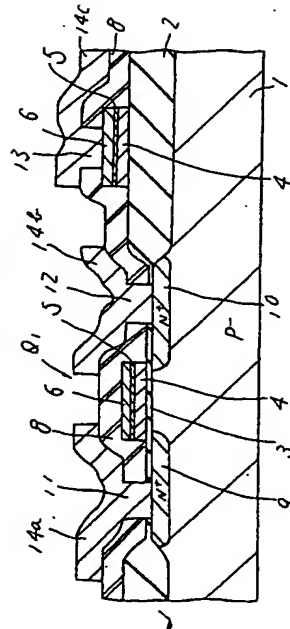
1…p⁻型シリコン基板、2…酸化シリコン

(SiO_2) からなるフィールド絶縁膜、3…酸化シリコン (SiO_2) からなるゲート絶縁膜、4…多結晶シリコン膜、5…窒化チタン (TIN) 膜、6…モリブデン (Mo) 膜、7…イオン打込み層、8…リンシリケートガラス (PSG) 膜、9…ソース層、10…ドレイン層、11…ソース上コンタクトホール、12…ドレイン上コンタクトホール、13…多層配線用コンタクトホール、14a、14b、14c…アルミニウム (Al) 電極。

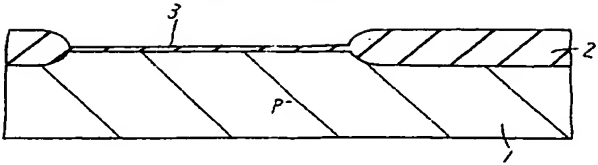
代理人 弁理士 高橋 明 夫



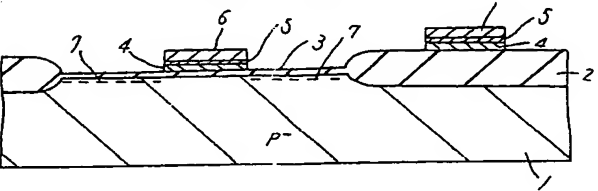
第2図



第 3 圖



第 4 圖



第 5 圖

